

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-274314

(43)Date of publication of application : 05.10.2001

(51)Int.Cl. H01L 23/50  
H05K 9/00

(21)Application number : 2000-086975

(71)Applicant : KANKYO DENJI GIJUTSU  
KENKYUSHO:KK  
TDK CORP

(22)Date of filing : 27.03.2000

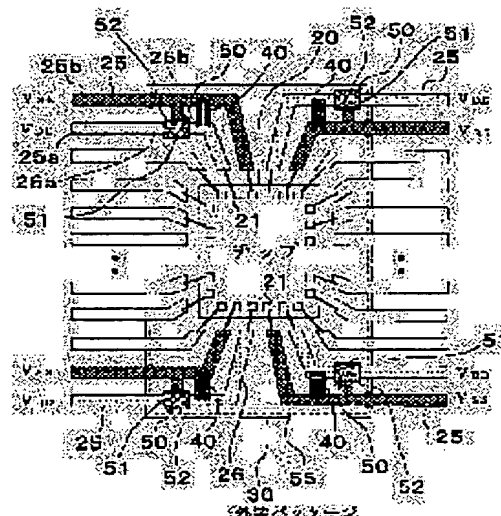
(72)Inventor : AKINO NAOHARU  
AKACHI YOSHIKI  
KONNO TADASHIGE

## (54) INTEGRATED CIRCUIT WITH EMI FILTER ELEMENT

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide an IC with an EMI filter element which enhances a restrictive effect of a EMI in which an IC is a generation source, and in particular is high in cost performance.

SOLUTION: This structure comprises an IC chip 21; a chip capacitor 40 as a capacitance element connected to between a paired inner leads for supplying a DC power source connected to the IC chip 21; and a penetrating EMI filter 50 having a composite magnetic material 51 provided around one of the paired inner leads and an external electrode 52 which is provided in an outer periphery of the composite magnetic material 51 and electrically connected to the other of the paired inner leads inside a sheath package 30. Furthermore, the penetrating EMI filter 50 is disposed at a position adjacent to the outside of a connection point of the chip capacitor 40 of the inner lead.



25 基板  
26 インターナル  
26a インターナル  
26b インターナル  
40 チップコンデンサ  
50 透過型EMIフィルタ  
51 複合磁性材料  
52 外部電極  
30 シェースパッケージ

## LEGAL STATUS

[Date of request for examination] 03.04.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3308260

[Date of registration] 17.05.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-274314  
(P2001-274314A)

(43) 公開日 平成13年10月5日 (2001.10.5)

(51) Int.Cl.

識別記号

F I

テーマコード(参考)

H 0 1 L 23/50

H 0 1 L 23/50

X 5 E 3 2 1

H 0 5 K 9/00

H 0 5 K 9/00

Q 5 F 0 6 7

審査請求 有 請求項の数 4 O L (全 9 頁)

(21) 出願番号 特願2000-86975 (P2000-86975)

(22) 出願日 平成12年3月27日 (2000.3.27)

(71) 出願人 596183206

株式会社環境電磁技術研究所  
宮城県仙台市青葉区南吉成6丁目6番地の  
3

(71) 出願人 000003067

ティーディーケー株式会社  
東京都中央区日本橋1丁目13番1号

(72) 発明者 秋野 直治

宮城県仙台市青葉区中山台4丁目14番4号

(74) 代理人 100079290

弁理士 村井 隆

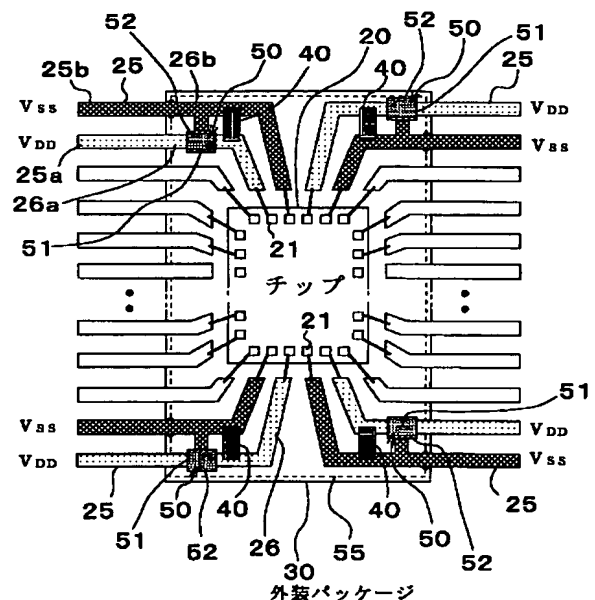
最終頁に続く

(54) 【発明の名称】 EMIフィルタ素子付き集積回路

(57) 【要約】

【課題】 ICが発生源となるEMIの抑制効果を高め、特に、コスト・パフォーマンスの高いEMIフィルタ素子付きICを提供する。

【解決手段】 ICチップ21と、ICチップ21に接続された直流電源供給用のインナーリード対の間に接続される静電容量素子としてのチップコンデンサ40と、前記インナーリード対の一方の周囲に設けられる複合磁性体51及び複合磁性体51の外周に設けられていて前記インナーリード対の他方に電気的に接続された外部用電極52を有する貫通型EMIフィルタ50とを外装パッケージ30内部に備えた構成である。また、前記貫通型EMIフィルタ50は前記インナーリードの前記チップコンデンサ40の接続点よりも外側寄り位置に配置されている。



25: 導体リード  
26: インナーリード  
55: 導体シールド

## 【特許請求の範囲】

## 【請求項1】 集積回路チップと、

該集積回路チップに接続された直流電源供給用のインナーリード対の間に接続される静電容量素子と、  
前記インナーリード対の一方の周囲に設けられる複合磁性体と、該複合磁性体の外周に設けられていて前記インナーリード対の他方に電気的に接続された外部用電極とを有する貫通型EMIフィルタとを外装パッケージ内部に備え、  
前記貫通型EMIフィルタは前記インナーリードの前記静電容量素子の接続点よりも外側寄り位置に配置されていることを特徴とするEMIフィルタ素子付き集積回路。

【請求項2】 前記外装パッケージに収納された前記集積回路チップに前記静電容量素子が設けられている請求項1記載のEMIフィルタ素子付き集積回路。

【請求項3】 前記複合磁性体は、フェライト焼結体の粉末及び樹脂結合材より成る複合材料、又は金属磁性体の粉末及び樹脂結合材より成る複合材料を成型したものである請求項1又は2記載のEMIフィルタ素子付き集積回路。

【請求項4】 前記集積回路チップの周囲が導体でシールドされている請求項1、2又は3記載のEMIフィルタ素子付き集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、集積回路（以下、ICと略記）チップに直流電源を供給する対を成すライン（プラスライン、マイナスライン）に付加された静電容量素子（以下、デカップリングコンデンサと呼称）を備えるICに係り、特に、直流電源とデカップリングコンデンサの間に貫通型EMIフィルタを有するもので、複合磁性体を用いたフィルタ素子をインナーリードに形成することにより、好適な電磁妨害雑音（以下、EMIと略記）の抑圧効果を実現したEMIフィルタ素子付きICに関する。

## 【0002】

【従来の技術】従来の直流電源を供給するラインの構成法は大別して次の3通りがある。

【0003】(1) 半導体プロセスによりICチップ内にデカップリングコンデンサを形成（特開平6-120072号公報）。具体的には、図11の如く、ICチップ1上に第1電極2、絶縁膜3、第2電極4から成るコンデンサを形成し、これをデカップリングコンデンサとして使用するものである。

【0004】(2) ICを搭載するダイパッド付きリードフレーム部にデカップリングコンデンサとしての積層セラミックコンデンサを搭載、接続（特開昭55-108785号公報、特開昭59-143355号公報）。具体的には、図12の如く、ICチップ5を搭載するダ

イパッド付きリードフレーム部6上の直流電源ライン間にディスクリートの積層セラミックコンデンサ7を搭載、接続するものである。

【0005】(3) ICを搭載するプリント基板にデカップリングコンデンサを搭載し、接続すると共に、該プリント基板にインダクタを形成、接続（電子情報通信学会技報EMCJ97-82（1997-12）、特開平10-163636号公報「多層プリント基板およびその製造法」）。具体的には、図13の回路に示すように、IC10を搭載するプリント基板にコンデンサ11を搭載し、接続すると共に、図14(A)の平面図、同図(B)の断面図の構造に示すように、前記プリント基板12にインダクタ13を構成している。インダクタ13は上下の複数の導体パターン14をビア・ホール15でフェライト層16を周回する如く直列に接続したものである。

## 【0006】

【発明が解決しようとする課題】ところで、上記(1)の方法の不具合点としては、ICのチップ面積の増大による製造原価の高騰、設計の自由度（コンデンサ容量の変更等）の阻害が挙げられる。

【0007】また、上記(2)の方法の不具合の点としては、デカップリングコンデンサからIC側を見込んだインピーダンス $Z_{IC}$ と当該コンデンサから電源を見込んだインピーダンス $Z_{PS}$ の間に $Z_{IC} \ll Z_{PS}$ の関係が必要になるが、必ずしも満足されていないことが挙げられる。この $Z_{IC} \ll Z_{PS}$ の関係が満足されなければならない理由を図15で説明する。

【0008】図15はデカップリングコンデンサ $C_1$ に着目した電流経路モデルであり、図中 $C_1$ はIC $1$ に対応したデカップリングコンデンサ、 $C_2$ はIC $2$ に対応したデカップリングコンデンサである。ループAは、 $C_1$ とIC $1$ で作る最小ループ（又は、 $C_2$ とIC $2$ で作る最小ループ）で、IC $1$ （又は、IC $2$ ）のスイッチング動作で生じる高周波電流を還流するものである。ループBは、 $C_1$ と前段回路（この場合、直流電圧供給ライン）で作るループで、EMIの抑圧という観点からは、本来不要なループである。ループCは $C_1$ と後段回路（この場合、 $C_2$ 、IC $2$ 以後も電気回路的には含まれる）で作るループで、EMIの抑圧という観点からは、本来不要なループである。IC $1$ （又は、IC $2$ ）のスイッチング動作で生じる高周波電流が最小ループAのみを還流している状態が理想的であるが、 $Z_{IC} \ll Z_{PS}$ が満たされない場合には、スイッチング動作に伴い生じる高周波電流は直流電源ラインを広範に流れる（ループB、Cにも流れる）ようになり、その電流経路は個々のIC $1$ 、IC $2$ の電流ループに比べて大きくなる。このループが大きくなるに従い、ループから放射されるEMIのレベルは高くなる問題が生じる。

【0009】さらに、(3)の不具合点としては、プリ

ント基板内にZPSを大きくするためインダクタ（チョークコイル）を形成させるため、プリント基板の面積が増加するし、プリント基板の製造原価も高騰することが挙げられる。

【0010】本発明は、上記の点に鑑み、前記ZIC<ZPSの関係を満足させて、ICが発生源となるEMIの抑制効果を高めることが可能で、特に、コスト・パフォーマンスの高いEMIフィルタ素子付きICを提供することを目的とする。

【0011】本発明のその他の目的や新規な特徴は後述の実施の形態において明らかにする。

【0012】

【課題を解決するための手段】上記目的を達成するために、本発明に係るEMIフィルタ素子付きICは、集積回路チップと、該集積回路チップに接続された直流電源供給用のインナーリード対の間に接続される静電容量素子と、前記インナーリード対の一方の周囲に設けられる複合磁性体と、該複合磁性体の外周に設けられていて前記インナーリード対の他方に電氣的に接続された外部用電極とを有する貫通型EMIフィルタとを外装パッケージ内部に備え、前記貫通型EMIフィルタは前記インナーリードの前記静電容量素子の接続点よりも外側寄り位置に配置されていることを特徴としている。

【0013】前記EMIフィルタ素子付きICにおいて、前記外装パッケージに収納された前記ICチップに静電容量素子が設けられた構成であってもよい。

【0014】前記複合磁性体は、フェライト焼結体の粉末及び樹脂結合材より成る複合材料を成型したもの、あるいは、金属磁性体の粉末及び樹脂結合材より成る複合材料を成型したものであるとよい。

【0015】前記集積回路チップの周囲を導体でシールドする構成が望ましい。

【0016】

【発明の実施の形態】以下、本発明に係るEMIフィルタ素子付きICの実施の形態を図面に従って説明する。

【0017】図1乃至図3で本発明に係るEMIフィルタ素子付きICの第1の実施の形態を説明する。図1は第1の実施の形態の構成図（概略平断面図）であり、図2はICの直流電流供給部分に着目したモデルをそれぞれ示している。また、図3は第1の実施の形態のシールド構造を主に示す部分斜視図である。

【0018】図1乃至図3に示すEMIフィルタ素子付きICは、ICチップ20の各ボンディングパッド21に導体リード（導体ピン）25をそれぞれボンディングワイヤー等で接続し外装パッケージ30内側に収納した構成に対して、デカップリングコンデンサとカスケード接続となるように、デカップリングコンデンサと直流電源との間に貫通型EMIフィルタ50を当該外装パッケージ30内側において付加したものである。

【0019】デカップリングコンデンサとしての積層チ

ップコンデンサ40は、直流電流を供給するための導体リード25a、25bの外装パッケージ30の内側に位置するインナーリード（インナーピン）26a、26bの対の間に搭載、接続されている。

【0020】前記貫通型EMIフィルタ50は、前記インナーリード対の一方（本例では、図2のラインVCCに接続されるべきVDD端子となるインナーリード26a）の周囲に複合磁性体51を形成させ、該複合磁性体51の外周に塗布、硬化あるいは無電解メッキ等の手法により外部用電極52を設け、該外部用電極52を前記インナーリード対の他方（本例では、図2のラインGNDに接続されるべきVSS端子となるインナーリード26b）に電氣的に接続せしめるごとく構成したものである。

【0021】前記貫通型EMIフィルタ50はインナーリード対の積層チップコンデンサ40の接続点（本例では、インナーリード26a及び26b）と直流電源給電点との間にカスケード接続となるように配置される。換言すれば、貫通型EMIフィルタ50はインナーリード26aの積層チップコンデンサ40の接続点よりも外側寄り位置に配置される。なお、25a、26aはVDD用、25b、26bはVSS用の導体リード、インナーリードを各々示すものとする。

【0022】前記貫通型EMIフィルタ50の主素子である複合磁性体51はフェライト粉末又は金属磁性体粉末及び樹脂結合材より成る複合材料をインナーリードの周囲を囲むように成型したものであり詳細は後述する。

【0023】前記外装パッケージ30は、ICチップ20と各導体リード25との接続、積層チップコンデンサ40の接続及び貫通型EMIフィルタ50の成型後に樹脂モールド等による樹脂成型で構成する。

【0024】前記ICチップ20の周囲は、図1、図2中点線で示し、また図3に斜線で示すように導体シールド55で囲まれている。この導体シールド55はラインGNDに接続されるべきVSS端子以外の導体リードに接触しないように、ICチップ20の上下を覆うシールド部分を持ち、かつ導体リードの引き出されていない側面があれば、上下のシールド部分を接続する。そして、導体シールド55、つまり上下のシールド部分はVSS端子となる導体リード25bに接続される。具体的には、外装パッケージ30の内側又は外面に金属箔、導電性塗料、無電解メッキ等により導体シールド55を形成すればよい。

【0025】この第1の実施の形態において、デカップリングコンデンサ40からICチップ20側を見込んだインピーダンスZICとコンデンサ40から電源を見込んだインピーダンスZPS（ラインVcc及びGND間）とを比べたとき、デカップリングコンデンサ40とラインVcc間に貫通型EMIフィルタ50が形成されることになるため、ZIC<ZPSの関係が満たされる。あ

わせて、貫通型EMIフィルタを用いたゾーンの分離によるEMI対策を施すことで、EMIの低減効果を発揮できる。

【0026】図4は貫通型EMIフィルタを用いたゾーンの分離によるEMI対策を説明したものである。機器の機能ユニット部を遮蔽構造、すなわちシールド1とし、電子機器のゾーン1から機能ユニット部のゾーン2を遮蔽し、電源ライン、信号ライン、コントロールライン等に貫通型EMIフィルタを装着する。また、ゾーン2内の集積回路のゾーン3をシールド2で遮蔽し、前述の電源ラインに貫通型EMIフィルタを装着する方法をとることができる。本実施の形態では、ゾーン3として最も狭い領域であるICチップ20を導体シールド55でシールドし、かつ貫通型EMIフィルタ50を配置したことになり、ゾーンの分離によるEMI対策として見た場合にも優れていることが判る。

【0027】上記のようなフィルタ素子付きICを構成することにより、以下の効果を奏することができる。

【0028】(1) デカップリングコンデンサとしての積層チップコンデンサ40とICチップ20で形成される電流ループを最小化できる。これによりICのスイッチング動作に伴い流れる高周波電流のループを小さくでき、ループから放射するEMIを低く抑えることができる。

【0029】(2) デカップリングコンデンサとしての積層チップコンデンサ40からみたICチップ20内のインピーダンスを当該コンデンサ40からみた直流電源ラインのインピーダンスに比べて低くでき、デカップリングコンデンサとICチップ20で形成される最小の電流ループから他のループへの高周波電流の漏出を小さくでき、他のより大きなループから放射するEMIを低く抑えることができる。

【0030】(3) 上記(1)、(2)より、ICチップ20に供給する直流電流の安定化やバッファ用ICチップの多出力の同時スイッチングノイズ( $\Delta I$ ノイズと言われることがある)の低減に有効であり、同時スイッチングノイズを低減させることにより、ICが発生源となるEMIの抑制効果を高めることができる。

【0031】(4) ICチップ面積の増大、製造原価の高騰、設計の自由度の低下を招くことがなく、また装置側のインダクタを形成する必要もなく、プリント基板の面積が増加したり、プリント基板の製造原価が高くなることもない。従って、コストパフォーマンスの良好な高性能のデカップリング回路を構成できる。

【0032】(5) 貫通型EMIフィルタ50は複合磁性体51の外周を外部用電極52で囲った構造を持ち、インナーリードに単に磁性体を設けた構造のインピーダに比較してノイズに対する挿入減衰量を大きくできる。

【0033】(6) 図4の貫通型EMIフィルタを用いたゾーンの分離によるEMI対策からも明らかなよう

に、ゾーン3として最も狭い領域であるICチップ20を対象としてシールドし、かつ貫通型EMIフィルタ50を配置したことにより、ゾーンの分離によるEMI低減効果を得ることができる。

【0034】図5及び図6で本発明に係るEMIフィルタ素子付きICの第2の実施の形態を説明する。図5は第2の実施の形態の構成図(概略平面図)であり、図6はICの直流電源供給部分に着目したモデルをそれぞれ示している。

10 【0035】この場合、ICチップ20に直流電源を供給するための $V_{DD}$ 用導体リード25a、 $V_{SS}$ 用導体リード25b間(換言すればインナーリード26a、26b間)に接続されるようにICチップ20内にデカップリングコンデンサ41を設けている。つまり、 $V_{DD}$ 用導体リード25a、 $V_{SS}$ 用導体リード25bがそれぞれ接続されたICチップ20上のボンディングパッド21間に、半導体プロセスでデカップリングコンデンサ41を当該ICチップ内に形成している。

20 【0036】そして、貫通型EMIフィルタ50は、導体リード25a、25bの外装パッケージ30の内側に位置するインナーリード(インナーピン)26a、26bの対の一方(本例では、図6のライン $V_{CC}$ に接続されるべき $V_{DD}$ 端子となるインナーリード26a)の周囲に複合磁性体51を形成させ、該複合磁性体51の外周に塗布、硬化あるいは無電解メッキ等の手法により外部用電極52を設け、該外部用電極52を前記インナーリード対の他方(本例では、図6のラインGNDに接続されるべき $V_{SS}$ 端子となるインナーリード26b)に電気的に接続せしめると構成したものである。

30 【0037】前記貫通型EMIフィルタ50はデカップリングコンデンサ41の接続点と直流電源給電点(本例では、導体リード25a及び25b)との間にカスケード接続となるように配置される。換言すれば、貫通型EMIフィルタ50はデカップリングコンデンサ41の接続点よりも外側寄り位置に配置される。

【0038】なお、その他の構成は前述の第1の実施の形態と同様であり、同一又は相当部分に同一符号を付した。

40 【0039】この第2の実施の形態によれば、前述の第1の実施の形態の効果に加えて、デカップリングコンデンサ41を半導体プロセスでICチップ20内に予め形成しておくことで、個別部品のコンデンサをインナーリード対に接続する工程を省略して、製造工数を削減でき、量産性の点で優れている。

50 【0040】上述のように、ICチップに直流電源を供給するための $V_{DD}$ 端子及び $V_{SS}$ 端子として導出されるインナーリード26a、26bに、貫通型EMIフィルタ50を形成するための複合磁性体としては、図7に示したような複素比透磁率(実数部 $\mu'$ 、虚数部 $\mu''$ )を示すフェライト焼結体粉末と樹脂結合材とを配合、混

練、成型した複合材料、図8に示したような複素比透磁率を示す金属磁性体粉末と樹脂結合材とを配合、混練、成型した複合材料が挙げられ、該複合磁性体はインナーリード26aの周囲に樹脂成型技術で成型、固着される。

【0041】フェライト焼結体粉末及び樹脂結合材より成る複合材料で成型した複合磁性体の場合、フェライト焼結材には高周波において複素比透磁率が大きいNi-Zn系フェライトが適する。この場合、Ni-Zn系の母材を粉砕し、粒子のサイズをおよそ30 $\mu$ mに整粒する。フェライト焼結体粉末をインナーリード部分に成型固着するための樹脂結合材には、例えば、ポリエステル系、ポリフェニレンサルファイド（略称、PPS）のような熱可塑性樹脂、エポキシ系、フェノール系等の熱硬化性樹脂等が適する。フェライト焼結体粉末の重量配合比率は50%から85%が磁気特性と成型性の面から適性範囲である。つまり、フェライト焼結体粉末が50%未満では磁気特性が劣り、85%を超えると成型性が損なわれる。

【0042】また、金属磁性体粉末及び樹脂結合材より成る複合材料で成型した複合磁性体の場合、高周波において複素比透磁率が大きいFe-Si系が適する。この場合、Fe-Si系粉末には球状あるいは扁平状の粉末が用いられる。球状粉末の直径はおよそ幅50 $\mu$ mに整粒され、扁平状の粉末の寸法は長さ50 $\mu$ m、厚さ0.3 $\mu$ m位に加工される。この金属磁性体粉末をインナーリード部分に成型固着するために用いる結合材には、上記したフェライト焼結体粉末の結合材の場合と同様な熱可塑性あるいは熱硬化性の樹脂が用いられる。この場合、金属磁性体粉末の重量配合比率は磁気特性と成型性の面から40%から80%が適性範囲である。つまり、金属磁性体粉末が40%未満では磁気特性が劣り、80%を超えると成型性が損なわれる。

【0043】なお、上述のフェライト焼結体の粉末において、Mn-Mg系フェライト、Mn-Zn系フェライト等を用い得ることは当然である。

【0044】同様に、金属磁性体の粉末の場合、Fe-Ni系、Fe-Al-Si系等を用い得ることも当然である。

【0045】図9は、上記第1、第2の実施の形態に示した貫通型EMIフィルタ50の構造例であり、厚さ0.15mm、幅0.4mmの42アロイ合金を用いた導体リードのインナーリード26aの周囲に厚さ1.8mm、幅1.5mm、長さ2.0mmの断面角筒形状となるよう前記Fe-Si系の扁平状粉末を80%、ポリエステル系樹脂の結合材を20%の重量配合比率で配合、混練した複合材料を作製し、複合磁性体51として成型、固着させた後、外周に外部用電極を形成したものである。

【0046】図10は、図9の貫通型EMIフィルタの特性をインピーダンスが50 $\Omega$ の測定系で測定した時に

得られる減衰量の周波数特性である。図10から判るように、ICの高速スイッチング動作時に生じるGHz帯での高周波電流を阻止する機能を備え、EMIを抑圧させ得ることが判る。

【0047】また、特に周波数1GHz以上においては複合磁性体が抵抗としての性質をもかもし出すため（複素比透磁率の虚数部 $\mu''$ が図8のように1GHz前後で増大しているため）、EMIのもととなる不要の高周波エネルギーを消費させる働きもあり、インナーリード部分における高周波電流を低減させるために極めて有効である。

【0048】以上本発明の実施の形態について説明してきたが、本発明はこれに限定されることなく請求項の記載の範囲内において各種の変形、変更が可能なことは当業者には自明であろう。

【0049】

【発明の効果】ICをプリント基板に搭載した回路においては、高速でスイッチング動作するICが高周波電流を生じ、この電流がICに直流電源を供給するラインのループを流れ、EMIを放射させることが知られている。こうしたICを用いた回路においては直流電源を安定に給電し、前記の高周波電流を低減させるため、Vcc及びGND間（ICのVDD及びVss端子ピン間）にデカップリングコンデンサを設けている。デカップリングコンデンサの容量値はバイパスさせる高周波電流によって決まるが、1,000pFから0.1 $\mu$ F程度である。

【0050】こうしたデカップリングコンデンサが接続されたICが多数接続される実用回路においては、各ICの動作速度の違いにより、デカップリングコンデンサの容量値が異なってくることがもとで、図15に示したようにICのスイッチング動作に伴い生じる高周波電流は直流電源ラインを広範に流れるようになり、その電流経路は個々のICチップの電流ループ（ループA）に比べて大きくなる。このループが大きくなるに従い、ループから放射されるEMIのレベルは高くなる。

【0051】本発明の実施の形態で詳述したとおり、デカップリングコンデンサを備え、且つ、インナーリード部に複合磁性体を用いて貫通型EMIフィルタを形成してなる本発明に係るEMIフィルタ素子付きICにより、次のような効果を奏することができる。

【0052】（1）ICのスイッチング動作により生ずる高周波電流が流れるループを小さくできるため、このループから放射する電磁妨害波を低く抑えることができる。

【0053】さらに、ICチップの周囲を導体でシールドする構成とすれば、そのシールドと貫通型EMIフィルタによりICチップを外周から分離することができ（ゾーン分離ができ）、いっそう優れたEMI対策となる。

【0054】（2）インナーリード部分でEMIを抑圧

できるため、ICを実装するプリント配線基板上にEMIを抑圧するための部品を不要とする、あるいは員数を削減できる等の効果があり、基板サイズの縮小、配線パターンの簡素化もでき、経済的効果が大きい。

【0055】(3) Fe-Si系等の金属磁性体粉末と結合材樹脂より成る複合材料を成型して得られる複合磁性体においてはVHF帯からSHF帯で、また、フェライト焼結体粉末と結合材樹脂とより成る複合材料を成型して得られる複合磁性体においてはUHF帯からSHF帯で複素比透磁率が大きくICが発生するEMIの周波数スペクトラムをカバーする。

【0056】ちなみに、CPU(マイクロプロセッサ)のクロック周波数は500MHzを超えるほどにもなり、EMIとなるクロック周波数の高調波成分はUHF帯からSHF帯にまで及ぶ。また、パーソナルコンピュータのメインクロック周波数は100MHzを超えるほどにまでなり、EMIとなるクロック周波数の高調波成分はVHF帯からSHF帯にまで及ぶ。

【0057】(4) インナーリード部分へ形成する貫通型EMIフィルタは金型を用いた樹脂成型工法を適用できるため、形状、寸法設定の自由度が大きい。

#### 【図面の簡単な説明】

【図1】本発明に係るEMIフィルタ素子付きICの第1の実施の形態を示す平断面図である。

【図2】第1の実施の形態において、ICの直流電源供給部分に着目したモデルの等価回路図である。

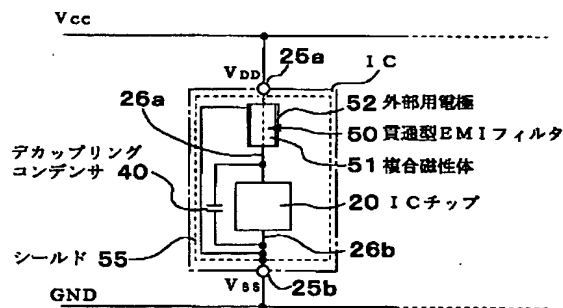
【図3】第1の実施の形態におけるシールド構造を説明する部分斜視図である。

【図4】ゾーン分離によるEMI対策を示す説明図である。

【図5】本発明の第2の実施の形態を示す平断面図である。

【図6】第2の実施の形態において、ICの直流電源供

【図2】



給部分に着目したモデルを示す等価回路図である。

【図7】貫通型EMIフィルタを構成するための複合磁性体の一例であって、フェライト焼結体の粉末と樹脂結合材より成る複合材料を成型して得られる複合磁性体の複素比透磁率を示すグラフである。

【図8】貫通型EMIフィルタを構成するための複合磁性体の他の例であって、金属磁性体粉末と樹脂結合材より成る複合材料を成型して得られる複合磁性体の複素比透磁率を示すグラフである。

10 【図9】金属磁性体粉末と樹脂結合材より成る複合材料を成型して得られる複合磁性体を用いた貫通型EMIフィルタの構造の1例である。

【図10】金属磁性体粉末と樹脂結合材より成る複合材料を成型して得られる複合磁性体を用いた貫通型EMIフィルタの減衰量の周波数特性を示すグラフである。

【図11】第1従来例の断面図である。

【図12】第2従来例の斜視図である。

【図13】第3従来例の回路図である。

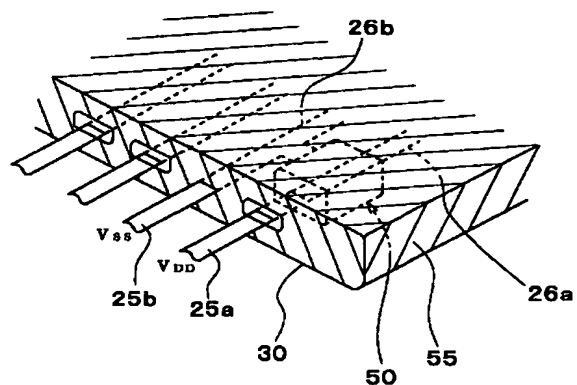
【図14】第3従来例の構造図である。

20 【図15】デカップリングコンデンサに着目した電流帰路モデルの回路図である。

#### 【符号の説明】

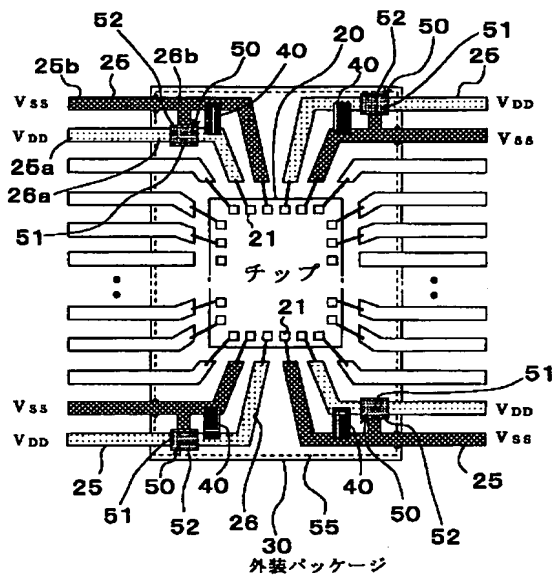
- 1, 5, 20 ICチップ
- 10 IC
- 21 ボンディングパッド
- 25, 25a, 25b 導体リード
- 26, 26a, 26b インナーリード
- 30 外装パッケージ
- 40, 41 デカップリングコンデンサ
- 50 貫通型EMIフィルタ
- 51 複合磁性体
- 52 外部用電極
- 55 導体シールド

【図3】



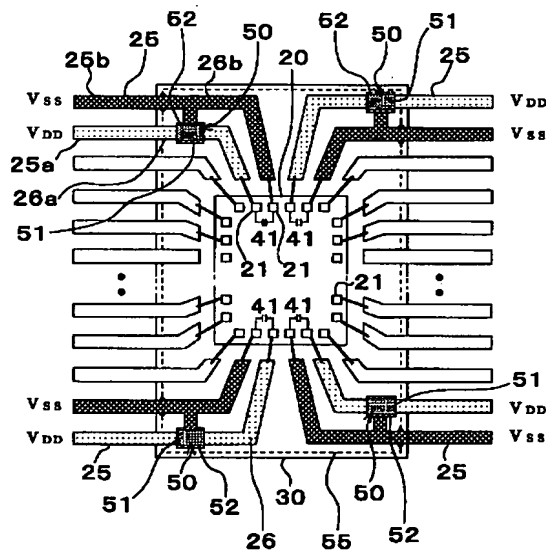


【図1】

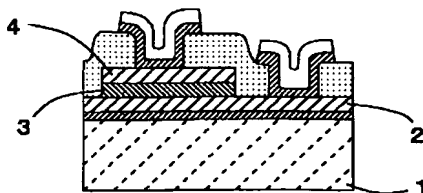


25: 導体リード  
26: インナーリード  
55: 導体シールド

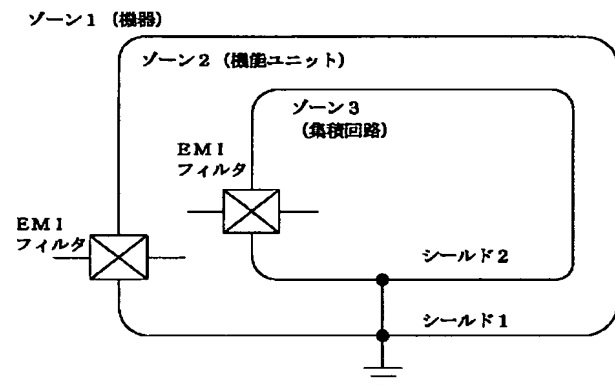
【図5】



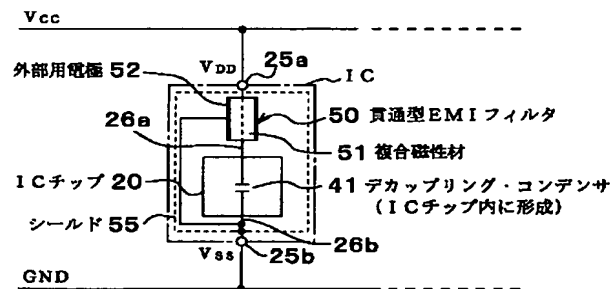
【図11】



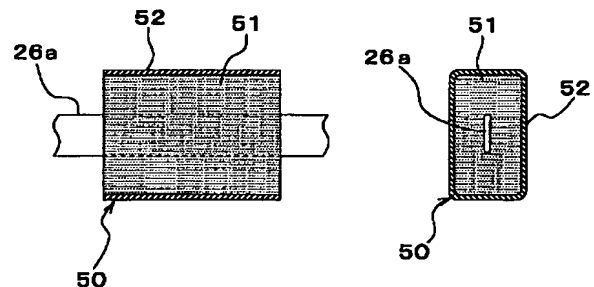
【図4】



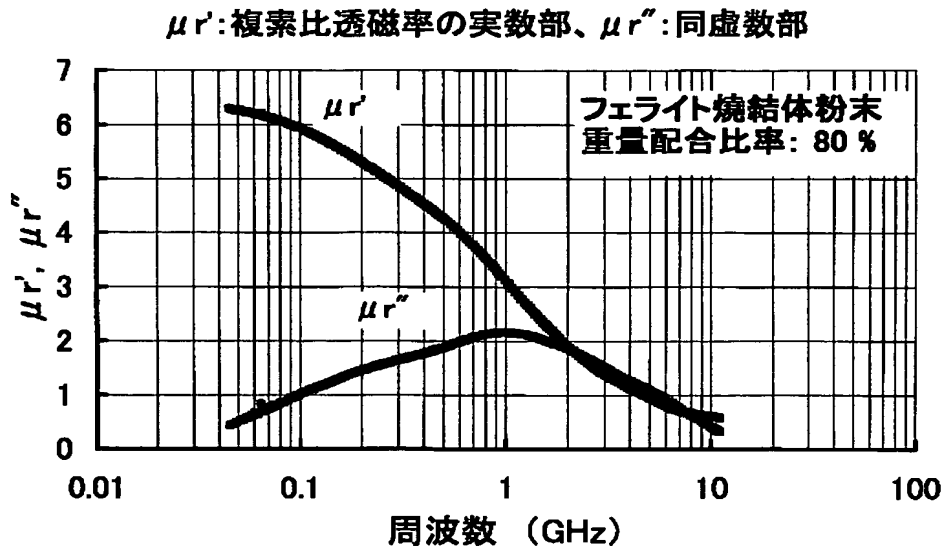
【図6】



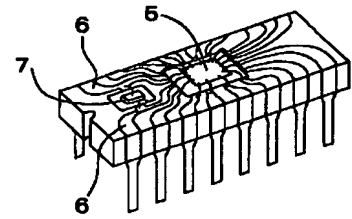
【図9】



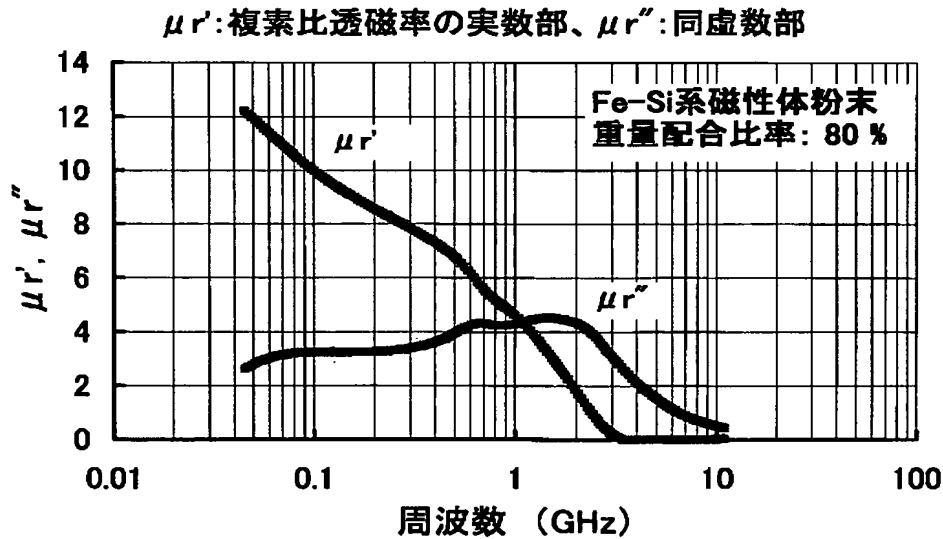
【図 7】



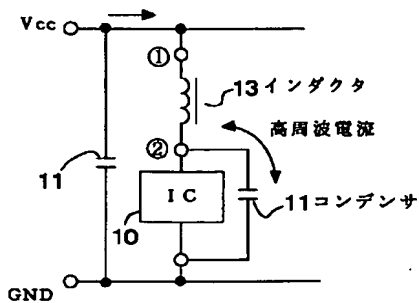
【図 12】



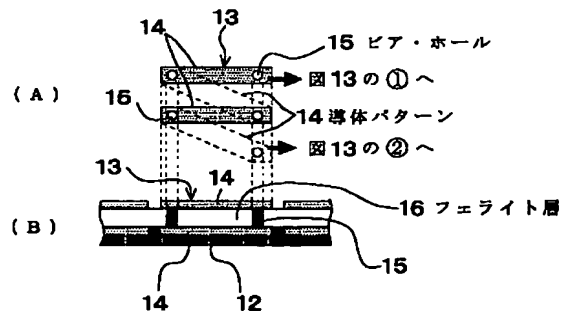
【図 8】



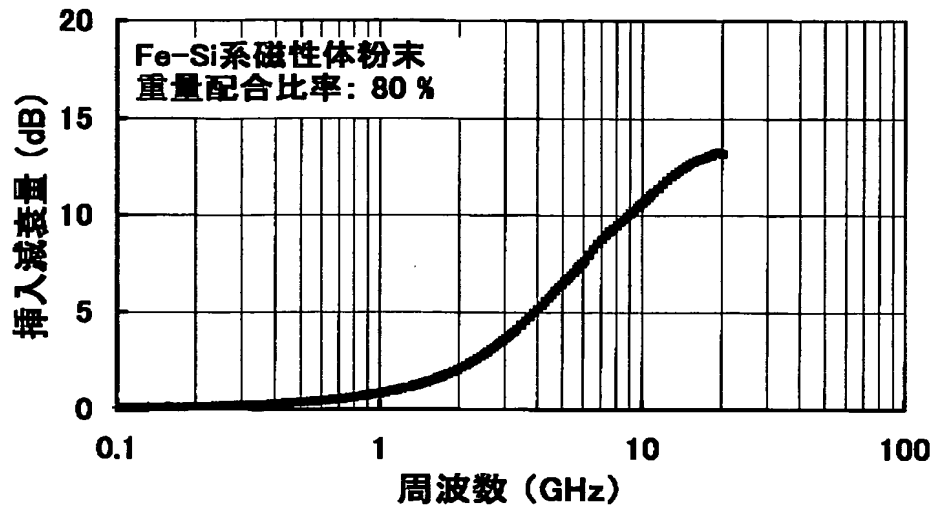
【図 13】



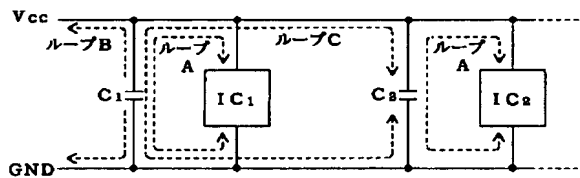
【図 14】



【図10】



【図15】



フロントページの続き

(72)発明者 赤地 義昭  
東京都中央区日本橋一丁目13番1号ディー  
ディーケー株式会社内

(72)発明者 今野 忠重  
東京都中央区日本橋一丁目13番1号ディー  
ディーケー株式会社内

Fターム(参考) 5E321 AA32 BB53 GG05 GG09  
5F067 CD10